

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-347931

(43)Date of publication of application : 03.12.1992

(51)Int.Cl.

H03L 7/02

(21)Application number : 03-149720

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 24.05.1991

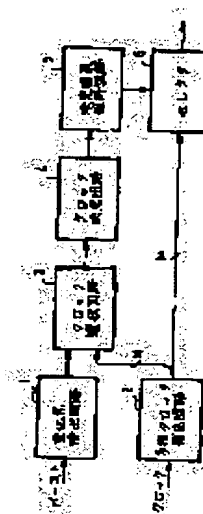
(72)Inventor : KASHIMA YOSHIO  
KAKINUMA RYUUMA  
MANO FUMIO

## (54) PHASE SYNCHRONIZING CLOCK EXTRACTING CIRCUIT

### (57)Abstract:

**PURPOSE:** To stably extract a phase synchronizing clock from a reception burst signal by separating clock selection and clock determination and using the clock determination result to extract the phase synchronizing clock.

**CONSTITUTION:** A multiphase clock generating circuit 2 generates plural M- sequence clock pulse trains different in phase. A change point detecting circuit 1 detects the change point of the rise or the fall of the reception burst signal. A clock selecting circuit 3 selects pulse trains, which include pulses whose timing practically coincides with the change point detection timing of the change point detecting circuit 1, from M- sequence clock pulse trains, and a clock determining circuit 4 determines the pulse train to be actually selected based on the selection result. A determination result holding circuit 5 holds the output of the clock determining circuit 4 till new output. A selector circuit 6 selects and outputs one of M- sequence clock pulse trains in accordance with the output of the determination result holding circuit 5.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-347931

(43) 公開日 平成4年(1992)12月3日

(51) Int.Cl.<sup>5</sup>

H 0 3 L 7/02

識別記号

庁内整理番号

Z 9182-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 8 (全 10 頁)

(21) 出願番号 特願平3-149720

(22) 出願日 平成3年(1991)5月24日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 加島 宜雄

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 柿沼 隆馬

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 真野 文雄

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

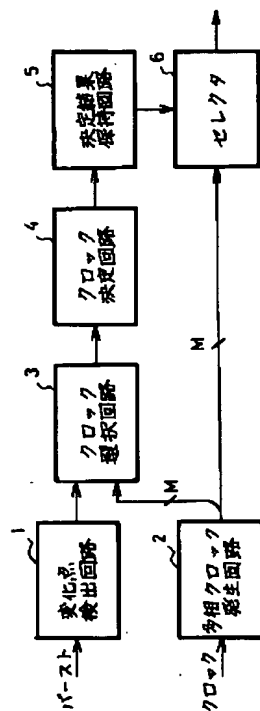
(74) 代理人 弁理士 井出 直孝 (外1名)

(54) 【発明の名称】 位相同期クロック抽出回路

(57) 【要約】

【目的】 受信バースト信号からの位相同期クロック抽出の安定性を高める。

【構成】 互いに位相の異なるM系列のクロックパルス列から、受信バースト信号の変化点と実質的に同じタイミングのパルスを含むものをタイミング選択回路3により選択し、その時系列の選択結果がある条件を満たしたとき、タイミング決定回路4によりそのクロック列を実際に使用することを決定する。



1

2

## 【特許請求の範囲】

【請求項1】 互いに位相の異なる複数M系列のクロックパルス列を生成する多相クロック発生回路と、この複数M系列のクロックパルス列から受信バースト信号に位相同期するパルス列を選択して出力する選択出力手段とを備えた位相同期クロック抽出回路において、前記選択出力手段は、受信バースト信号の立ち上がりまたは立ち下がりの変化点を検出する変化点検出回路と、この変化点検出回路の変化点検出タイミングと実質的に同じタイミングのパルスを含むパルス列を前記M系列のクロックパルス列から選択するクロック選択回路と、このクロック選択回路の選択結果に基づいて実際に選択すべきパルス列を決定するクロック決定回路と、このクロック決定回路の出力を新たな出力があるまで保持する決定結果保持回路と、この決定結果保持回路の出力にしたがって前記M系列のクロックパルス列の一つを選択して出力するセレクト回路とを含むことを特徴とする位相同期クロック抽出回路。

【請求項2】 クロック決定回路は、クロック選択回路により同一のパルス列が連続して選択されたときにそのパルス列を実際に選択すべきパルス列と判定する処理手段を含む請求項1記載の位相同期クロック抽出回路。

【請求項3】 クロック決定回路は、同一のパルス列に対するクロック選択回路の時系列の選択結果から多数決論理によりそのパルス列を実際に選択すべきか否かを判定する多数決処理手段を含む請求項1記載の位相同期クロック抽出回路。

【請求項4】 クロック決定回路は、M系列のクロックパルス列のそれぞれにその位相差にしたがって順番に番号を付与しておき、選択されたパルス列の番号の平均値により表されるパルス列を実際に選択すべきパルス列と判定する平均処理手段を含む請求項1記載の位相同期クロック抽出回路。

【請求項5】 受信バースト信号に含まれる特定部分の信号に対してクロック選択回路およびクロック決定回路を動作させる手段を備えた請求項1ないし4のいずれかに記載の位相同期クロック抽出回路。

【請求項6】 受信バースト信号に含まれる全信号に対してクロック選択回路およびクロック決定回路を動作させる手段を備えた請求項1ないし4のいずれかに記載の位相同期クロック抽出回路。

【請求項7】 変化点検出回路の出力がバースト信号受信後の最初の変化点であることを検出する手段を備え、クロック決定回路は、前記最初の変化点に対してはクロック選択回路が選択したパルス列をそのまま実際に選択すべきパルス列であると判定する手段を含む請求項1ないし6のいずれかに記載の位相同期クロック抽出回路。

【請求項8】 変化点検出回路の出力がバースト信号受信後の最初の変化点であることを検出する手段を備え、平均処理手段は、前記最初の変化点に対してはクロック

選択回路が選択したパルス列をそのまま実際に選択すべきパルス列であると判定し、それ以降は変化点の数を順次増やしてパルス列の番号の平均値を求める手段を含む請求項4記載の位相同期クロック抽出回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は受信バースト信号からその信号に位相同期したクロックを生成する位相同期クロック抽出回路に関する。本発明は特に、ポイント対マルチポイントのバースト光通信方式におけるポイント側の伝送装置で使用するに適する。

## 【0002】

【従来の技術】 ポイント対マルチポイント通信方式では、ポイント側の伝送装置とマルチポイント側のそれぞれの伝送装置との間の距離や伝送路の条件が異なるため、ポイント側で受信する信号が重なることのないように、少なくともマルチポイント側からポイント側への通信には間欠的な信号であるバースト信号が用いられる。

【0003】 図13は、ポイント対マルチポイント通信方式の例として、スターカブラを用いた一方向光通信装置のブロック構成図を示す。この光通信装置は複数の光送信装置100-1、100-2…と一つの光受信装置103とを備え、これらがスターカブラ101および光ファイバ伝送路102を介して互いに接続される。光送信装置100-1、100-2…はそれぞれ、利用者からの情報を半導体レーザなどの発光素子により光信号に変換し、光バースト信号として出力する。これらの光バースト信号はスターカブラ101により合波され、光ファイバ伝送路102を経由して光受信装置103に入力される。

【0004】 図14は光受信装置103が受信したバースト信号の一例を示し、図15はそれを拡大して示す。説明を簡単にするため、受光後の電気段で自動利得調整によりレベルを一定にしたものとして示す。

【0005】 各バースト信号の先項には、受信回路を安定に動作させるためのプリアンプPAが付与されている。プリアンプの目的の一つは、その期間に受信回路がクロックを安定に抽出することである。このプリアンプ長が短いほど、伝送効率が良く経済的な伝送が可能である。すなわち、伝送量を一定とすると、伝送速度を低くできる。

【0006】 マルチポイント側からのそれぞれ信号を復調するには、その信号に位相同期したクロックを抽出する必要がある。受信信号がバースト信号の場合には、そのバースト信号毎にクロックを抽出する。クロック抽出方法としては、PLL（位相同期ループ）法、多点サンプリング法、多相選択法が従来から知られている。

【0007】 PLL法は、入力バースト信号とVCO（電圧制御発振器）の位相とを位相比較器で比較し、位相差がなくなるようにVCOの周波数を変化させて位相

同期クロックを発生させる方法である。この方法でプリアンプルを短くするためには、時間的に安定でかつ高速応答のVCOが必要となる。時間的に安定でかつ高速応答という要求条件は一般には相反する条件であり、実現が困難である。

【0008】多点サンプリング法は、入力信号よりも数倍から数十倍の高速クロックを用意し、入力信号をこの高速クロックで多点サンプリングすることで入力信号を識別する方法である。この方法では実際にクロックが抽出されるわけではないが、等価的にはクロックが抽出されたことになる。この方法では、バースト毎に位相同期クロックの位相を変化させる必要がないため、短いプリアンプル長でもクロックを抽出できる。しかし、入力信号よりも数倍から数十倍の高速クロックが必要なため、高速の素子が必要であり、経済性、発熱などの点で問題がある。

【0009】多相選択法は、マスタクロックを遅延回路で多相化し、これらのうちの入力信号の位相に最も近いものを選択する方法である。この方法は、入力信号より高速のクロックは不要であること、選択のための処理時間が必要となるものの比較的短いプリアンプル長でクロックを抽出できること、などの優れた長所をもつ。

#### 【0010】

【発明が解決しようとする課題】しかし多相選択法では、プリアンプルの最後で雑音などにより誤ったクロックを選択した場合に、受信バースト信号のデータ部分で識別誤りが生じてしまう。クロック選択がプリアンプルのみで行われるとすると、対象としている1バースト分すべてのデータに識別誤りが生じる事態も生じる可能性がある。

【0011】これを解決するため、プリアンプルだけでなくデータ部分も用いてクロック選択を行う方法も知られている。しかし、雑音などにより誤ったクロック選択が行われたとき、選択の処理時間を伝送ビット速度換算でSビット分とすると、少なくとも誤選択後のSビット分のデータ部分で識別誤りが生じてしまう。

【0012】このように、従来の多相選択法は優れた方法ではあるが、これを用いてデータを識別する場合に、識別誤りが生じやすい欠点があった。

【0013】本発明は、このような課題を解決し、受信バースト信号から位相同期クロックを安定に抽出できる位相同期クロック抽出回路を提供することを目的とする。

#### 【0014】

【課題を解決するための手段】本発明の位相同期クロック抽出回路は、受信バースト信号の立ち上がりまたは立ち下がりの変化点を検出する変化点検出回路と、この変化点検出回路の変化点検出タイミングと実質的に同じタイミングのパルスを含むパルス列をM系列のクロックパルス列から選択するクロック選択回路と、このクロック

選択回路の選択結果に基づいて実際に選択すべきパルス列を決定するクロック決定回路と、このクロック決定回路の出力を新たな出力があるまで保持する決定結果保持回路と、この決定結果保持回路の出力にしたがってM系列のクロックパルス列の一つを選択して出力するセレクタ回路とを含むことを特徴とする。

【0015】クロック決定回路は、クロック選択回路により同一のパルス列が連続して選択されたときにそのパルス列を実際に選択すべきパルス列と判定する処理手段、同一のパルス列に対するクロック選択回路の時系列の選択結果から多数決論理によりそのパルス列を実際に選択すべきか否かを判定する多数決処理手段、またはM系列のクロックパルス列のそれぞれにその位相差にしたがって順番に番号を付与しておき、選択されたパルス列の番号の平均値により表されるパルス列を実際に選択すべきパルス列と判定する平均処理手段のいずれかを含むことができる。

【0016】また、受信バースト信号に含まれる特定部分の信号に対してクロック選択回路およびクロック決定回路を動作させる手段、または受信バースト信号に含まれる全信号に対してクロック選択回路およびクロック決定回路を動作させる手段のどちらかを備えることができる。

【0017】変化点検出回路の出力がバースト信号受信後の最初の変化点であることを検出する手段を備え、クロック決定回路は、最初の変化点に対してはクロック選択回路が選択したパルス列をそのまま実際に選択すべきパルス列であると判定する手段を含むこともできる。

【0018】パルス列の番号の平均値によりパルス列を決定する場合には、平均処理手段に、最初の変化点に対してはクロック選択回路が選択したパルス列をそのまま実際に選択すべきパルス列であると判定し、それ以降は変化点の数を順次増やしてパルス列の番号の平均値を求める手段を備えることができる。

#### 【0019】

【作用】多相クロックパルス列から受信バースト信号の変化点の位相と同期するものを選択してそのまま使用するのではなく、一旦選択した後に、そのクロックパルス列が正しく選択されているか否かを判定して実際に使用するパルス列を決定する。一度決定されたクロックパルス列については、新たな決定が行われるまで保持する。したがって、雑音などにより誤ったクロックが選択されたときでも、そのまま実際の選択が行われるわけではなく、データの識別誤りが生じることを防止できる。

【0020】クロックパルス列を決定するには、クロック選択回路により時系列に選択された複数N個の選択結果をもとに、論理処理により行う。この論理処理としては、例えば、N=2として、2個の選択結果が一致した場合のみクロックを決定する2連一致処理法を用いることができる。また、N=3として、3個の選択結果から

5

多数決により決定する多数決処理法や、3個のうちの位相が真ん中のものを決定値とする処理法がある。さらに、一般のNの場合でも、多数決処理や、位相の平均値に最も近いクロックパルス列を選択する平均化処理を利用できる。

【0021】クロック決定のための選択結果の個数Nを増やすことで、バースト誤り（連続誤り）に対して強くなるが、決定までの処理時間が増加する。処理法およびNの数、受信バースト信号のどの部分を用いてクロックの選択および決定を行うかなどについての選定は、伝送系の要求によって定められる。

【0022】クロックの選択および決定は、受信バースト信号の特定の部分、例えばプリアンプルを用いて行うことができる。伝送系によっては、受信バースト信号の全部分で行ってもよい。特定の部分のみを用いる場合には高速の引き込み特性が得られ、全部分を用いる場合にはクロック安定性が得られる。

【0023】クロック安定性と高速の引き込み特性を同時に満たすためには、二つの処理方法が利用できる。その一つは、クロック決定を受信バースト信号の最初の変化点検出では $N=1$ 、すなわち選択されたクロックをそのまま決定値とし、次の変化点検出からは複数（ $N \geq 2$ ）の選択結果に基づいてクロックを決定する方法である。もう一つの方法は、クロック決定を受信バースト信号の最初の変化点では $N=1$ で行い、2番目の変化点検出では $N=2$ とした平均値をクロック決定値とし、3番目の変化点検出では $N=3$ とした平均値をクロック決定値とするように、変化点検出が進む毎に順次Nを増加させ、受信バースト信号の最初の変化点から最新の変化点までを平均処理する方法である。

【0024】いずれにしても、クロック選択回路の複数N個の選択結果をもとに、論理処理によりM系列のクロックの一つを決定するため、雑音などにより誤ったクロックが選択された場合でも、そのクロックが実際に使用されることが防止される。

【0025】クロックの選択および決定に要する処理時間を伝送ビット速度換算でRビット分とし、このRビットの期間でもデータの識別を行うためには、既に選択され決定されたクロックを保持して使用する。この保持内容は、新たなクロック決定結果が得られたときに更新される。通常はプリアンプル期間でクロック決定が完了するため、データについては先頭から正しく識別できる。保持内容が更新されるのは、通常は、1バースト期間中に送信側のクロックが変動した場合や、次のバースト信号を受信するときなどである。

【0026】

【実施例】図1は本発明第一実施例の位相同期クロック抽出回路を示すブロック構成図である。

【0027】この位相同期クロック抽出回路は、互いに位相の異なる複数M系列のクロックパルス列を生成する

6

多相クロック発生回路2と、この複数M系列のクロックパルス列から受信バースト信号に位相同期するパルス列を選択して出力する選択出力手段とを備える。本実施例の特徴とするところはこの選択出力手段にあり、受信バースト信号の立ち上がりまたは立ち下がりの変化点を検出する変化点検出回路1と、この変化点検出回路1の変化点検出タイミングと実質的に同じタイミングのパルスを含むパルス列をM系列のクロックパルス列から選択するクロック選択回路3と、このクロック選択回路3の選択結果に基づいて実際に選択すべきパルス列を決定するクロック決定回路4と、このクロック決定回路4の出力を新たな出力があるまで保持する決定結果保持回路5と、この決定結果保持回路5の出力にしたがってM系列のクロックパルス列の一つを選択して出力するセクタ回路6とを備えたことにある。

【0028】図2は第一実施例の具体例を示す回路図であり、特にクロック選択回路3、クロック決定回路4、決定結果保持回路5およびセクタ回路6を詳細に示す。ここでは、同一のパルス列が連続して選択されたときにそのパルス列を実際に選択すべきパルス列と判定する場合の構成を示す。

【0029】クロック選択回路3は、M個のD型フリップフロップ30-1~30-Mを備え、それぞれのD端子には、多相クロック発生回路2からの互いに位相の異なるクロックパルス列が別々に入力される。D型フリップフロップ30-1~30-Mのそれぞれのクロック端子には、変化点検出回路1の出力が供給される。

【0030】D型フリップフロップ30-J（ $1 \leq J \leq M$ ）のD入力が「H」のときに受信バースト信号の変化点検出されると、D型フリップフロップ30-JのQ出力が「H」となり、J番目のクロックパルス列が選択されたことを表す。

【0031】クロック決定回路4は、クロックパルス列の数Mに対応してM個のブロックが設けられ、J番目（ $1 \leq J \leq M$ ）のブロックは、D型フリップフロップ40-J、41-J、42-Jおよび論理積回路43-Jにより構成される。D型フリップフロップ40-Jおよび41-JのそれぞれのD端子には、クロック選択回路3のJ番目の出力が供給される。D型フリップフロップ40-Jの出力はそのまま論理積回路43-Jに供給され、D型フリップフロップ41-Jの出力はD型フリップフロップ42-Jを介して論理積回路43-Jに供給される。D型フリップフロップ40-J、41-J、42-Jのそれぞれのクロック端子には、変化点検出回路1の出力が入力される。

【0032】D型フリップフロップ40-Jは最新の変化点検出時点でJ番目のクロックパルス列が選択されていたときに「H」を出力し、D型フリップフロップ42-Jはその前の変化点検出時点でJ番目のクロックパルス列が選択されていたときに「H」を出力する。したが

って、二つの出力の論理積をとると、J番目のクロックパルス列が2回連続して選択されたとき、すなわち2連一致のときのみ「H」となる。これが決定結果として出力される。

【0033】ここでは2連一致の場合を示したが、クロック決定回路4のそれぞれのブロックに3段接続のD型フリップフロップを付加して、3連一致によりクロック決定を行う構成とすることもできる。また、4以上の連続一致によりクロック決定を行う構成とすることもできる。

【0034】決定結果保持回路5は、論理和回路50と、論理積回路51と、M個のラッチ回路52-1~52-Mとにより構成される。クロック決定回路4のM個の出力は論理和回路50とラッチ回路52-1~52-MのそれぞれのD端子とに供給される。論理和回路50の出力は論理積回路51に供給され、論理積回路51のもう一方の入力にはマスタクロックが供給される。論理積回路51の出力はラッチ回路52-1~52-MのEN端子に供給される。

【0035】クロック決定回路4からクロック決定結果が出力されていない場合には、論理和回路50の出力は「L」となり、ラッチ回路52-1~52-MのEN端子には「L」が入力されるため、そのラッチ内容は保持される。クロック決定結果が出力される、すなわちクロック決定回路4のM個の出力のうちいずれかが「H」になると、論理和回路50の出力も「H」となり、論理積回路51はマスタクロックを出力する。このマスタクロックはラッチ回路52-1~52-MのEN端子に入力され、クロック毎にラッチ内容が更新され、クロック決定結果が出力される。

【0036】セレクト回路6は論理積回路60-1~60-Mおよび論理和回路61を備える。論理積回路60-J ( $1 \leq J \leq M$ ) には、決定結果保持回路5のJ番目の出力と、J番目のクロックパルス列とが入力される。論理積回路60-1~60-Mの出力は論理和回路61に入力される。

【0037】論理積回路60-Jは、J番目のクロックパルス列が選択および決定されて保持されている場合に、そのパルス列を出力する。論理積回路60-1~60-Mのいずれかがパルス列を出力した場合、すなわちM系列のどのクロックパルス列が出力された場合でも、論理和回路61がそれを抽出クロックとして出力する。

【0038】図3は変化点検出回路1の一例を示す回路図であり、図4はその動作を示すタイムチャートである。

【0039】この回路は入力端子10、排他的論理和回路11、D型フリップフロップ12および出力端子13を備える。入力端子10は排他的論理和回路11の一方の入力に接続され、排他的論理和回路11のもう一方の入力にはD型フリップフロップ12のQ端子が接続され

る。排他的論理和回路11の出力は、出力端子13に接続されるとともに、D型フリップフロップ12のクロック端子に接続される。D型フリップフロップ12のQ端子はD端子に接続される。

【0040】入力端子10の入力信号、D型フリップフロップ12のQ出力、出力端子13の出力信号をそれぞれ図4(a)、(b)、(c)に示す。

【0041】D型フリップフロップ12のQ出力がQ=「H」のとき入力端子10の信号が「H」であれば、排他的論理和回路11の出力は「L」となり、回路状態は変化しない。入力端子10の信号が「L」になると、排他的論理和回路11の出力が「H」となり、D型フリップフロップ12の回路状態が変化してQ出力が「H」となる。このため排他的論理和回路11の二つの入力が共に「H」となり、その出力は「L」に変化する。排他的論理和回路11の出力が「L」になると、その回路状態は保持される。すなわち、伝搬遅延時間に相当する時間幅のパルスが得られる。D型フリップフロップ12のQ出力がQ=「L」のときは逆に、入力端子10の信号が「L」のときには回路状態の変化はなく、「H」になったときに回路状態が変化してパルスが出力される。このようにして、入力信号の変化点があるときにパルスが得られる。

【0042】図5は多相クロック発生回路2の一例を示す回路図であり、図6はその入出力例を示す。図5に示した多相クロック発生回路2は、マスタクロックを入力とし、遅延回路20-1~20-(M-1)によりそれぞれ異なる遅延量を与えて互いに位相の異なるクロックを出力する。

【0043】図7は多相クロック発生回路2の出力する多相クロックとクロック選択との関係を示すタイムチャートであり、(a)は変化点検出回路1の出力、(b)ないし(e)は多相クロック発生回路2の出力するクロック、(f)ないし(i)はクロック選択回路3の出力の例を示す。

【0044】この例の最初のうちは、変化点検出のタイミングではK番目のクロックが「H」となっている。この場合には、クロック選択回路3のK番目の出力が「H」になる。その後に変化点検出の位相が変化し、そのタイミングでJ番目のクロックが「H」であると、K番目の出力は「L」となり、K番目の出力が「H」となる。

【0045】図8はクロック決定回路4の別の例を示す回路図である。この回路はN=3の多数決論理を採用した場合の例である。

【0046】この場合にもクロック決定回路4は、クロック選択回路3のM個の出力に対応して、M個の回路ブロック44-1~44-Mを含む。各回路ブロックには、3ビットのシフトレジスタ440、論理積回路441、反転入力付の論理積回路442~444、および論

9

理和回路445を備える。ただし、図では回路ブロック44-1以外の内部については省略した。

【0047】シフトレジスタ440のデータ入力端子には、クロック選択回路3の対応する出力が入力される。シフトレジスタ440のクロック端子には、変化点検出回路1の出力が供給される。シフトレジスタ440の各ビットは論理積回路441~444に入力される。論理積回路441~444の出力は論理和回路445を介して決定結果保持回路5に出力される。

【0048】シフトレジスタ440には、変化点が検出される毎に、クロック選択された結果が入力され蓄積される。蓄積された3ビットは、論理積回路441~444により多数決処理される。すなわち、論理積回路441は3ビットすべて「H」のとき「H」を出力し、論理積回路442は2ビット目と3ビット目が「H」のとき、論理積回路443は1ビット目と3ビット目が「H」のとき、論理積回路444は1ビット目と2ビット目が「H」のときそれぞれ「H」を出力する。論理和回路445は、論理積回路441~444のいずれかの出力が「H」のときに「H」を出力する。すなわち、3回の変化点検出に対して2回以上同一のクロックパルス列が選択された場合には、そのクロックパルス列を実際に使用するものとして決定する。N≧4の場合にも同様に構成できる。

【0049】図9はクロック決定回路4のさらに別の例を示す回路図である。この回路はN=Sで平均処理を行う場合の例である。

【0050】このクロック決定回路4は、カウンタ45および46-1~46-Mと、平均化処理回路47とを備える。カウンタ45には変化点検出回路1の出力が供給される。カウンタ46-1~46-Mにはそれぞれクロック選択回路3の対応する出力が供給され、さらに、カウンタ45の出力がリセット入力として供給される。カウンタ46-1~46-Mの出力は平均化処理回路47に入力される。

【0051】カウンタ45は変化点検出出力を計数し、S個計数する毎に平均化処理回路47に通知するとともに、平均化処理回路47がカウンタ46-1~46-Mの内容を読み取った後に、これらをリセットする。カウンタ46-1~46-Mは、それぞれ対応するクロックパルス列が選択された回数を計数する。平均化処理回路47は例えばマイクロプロセッサで構成され、カウンタ46-1~46-Mの計数結果をその対応するクロックパルス列の位相により重み付けして加算し、Sで割って四捨五入する。すなわち、M系列のクロックパルス列のそれぞれにその位相差にしたがって順番に番号を付与しておき、選択されたパルス列の番号の平均値により表されるパルス列を実際に選択すべきパルス列と判定する。

【0052】例えば、S=4とし、クロックパルス列が2番目、4番目、4番目、2番目の順で選択されたとす

10

る。その場合には、2番目のカウンタ46-2の計数値が「2」、4番目のカウンタ46-4の計数値が同じく「2」となる。このとき平均化処理回路47は、

$$\sum i \times (i \text{ 番目のカウンタ } 46-i \text{ の計数値 }) / S \\ = (2 \times 2 + 2 \times 4) / 4 = 3$$

により、3番目のクロックパルス列を実際に選択すべきクロックパルス列として決定する。ただし、Σはi=1ないしMの総和である。したがって、最も確からしいクロックパルス列を使用できる。

【0053】第一実施例は、クロックの選択および決定を受信バースト信号のどの部分で行うかの構成については含まず、結果的に、バースト信号全体に対してクロックの選択および決定を行う構成となっている。バースト信号の一部でクロックの選択および決定を行う場合の構成について以下に説明する。

【0054】図10は本発明の第二実施例を示す図であり、第一実施例と異なる部分を示すブロック構成図である。

【0055】この実施例は、変化点検出回路1とクロック選択回路3との間にゲート回路7を備え、このゲート回路7を制御するための制御回路8が設けられたことが第一実施例と異なる。制御回路8は、フレーム信号に基づいて、バースト信号の特定の部分、例えばプリアンプルの部分でのみ、ゲート回路7を導通させる。したがって、クロック選択回路3およびそれに続く回路は、その部分でのみクロックの選択および決定を行うことになる。

【0056】この実施例は、あらかじめ雑音が少ないと思われる部分を特定できるときに、その部分のみのクロック選択を用いるようにでき、正確なクロックを得ることができる。また、場合によっては、ゲート回路7を導通状態のままとし、バースト信号の全体でクロックの選択および決定を行うこともできる。

【0057】クロックの選択および決定を行う部分を設定するため、クロック選択回路3の前段ではなく後段や、クロック決定回路の後段にゲート回路を配置しても本発明を同様に実施できる。

【0058】図11は本発明の第三実施例を示す図であり、変化点検出回数により決定に要する数Nを変化させる例を示す。

【0059】この実施例は、変化点検出回路の出力がバースト信号受信後の最初の変化点であることを検出する手段としてカウンタ9を備え、クロック決定回路4には、最初の変化点に対してはクロック選択回路が選択したパルス列をそのまま実際に選択すべきパルス列であると判定する手段としてスイッチ401および論理和回路403を備える。クロック決定回路4はまた、2回目以降の変化点に対してクロックを決定するための決定処理回路402を備える。

【0060】カウンタ9はバースト信号の受信が終了す

る毎にリセットされる。スイッチ401は、カウンタ9が計数を開始するまでは、クロック選択回路のM個の出力をそのままM個の論理和回路403に出力する。カウンタ9の計数が開始されるとスイッチ401は、クロック選択回路の出力を決定処理回路402に供給し、Nが複数の場合の処理が行われる。決定処理回路402の出力は、論理和回路403を介して出力される。

【0061】この構成により、受信バースト信号の最初の変化点が検出されたときには、その選択結果がそのまま決定結果となって出力される。それ以降は、2連一致、多数決、平均化などの処理によりクロックが決定される。

【0062】この実施例は、バーストの先頭では高速にクロックを決定し、それ以降は $N \geq 2$ により確実に正確なクロックを選択できる。

【0063】図12は本発明第四実施例を示す図である。この例は、変化点検出回数に応じてクロック決定のための数Nを順次変更する構成を示す。

【0064】この実施例は、変化点検出回路の出力がバースト信号受信後の最初の変化点であることを検出する手段としてバースト信号の受信が終了する毎にリセットされるカウンタ48を備え、平均化処理回路47は、最初の変化点から最新の変化点までにそれぞれ選択されたパルス列の番号の平均値を求める構成であることが図9の構成と異なる。

【0065】すなわち、平均化処理回路47は、カウンタ48の計数値により平均化の分母を変化させ、最初の変化点では $N=1$ としてそのときのクロック選択結果をそのまま決定値とし、次の変化点のときには $N=2$ としてこのときのクロック選択結果とその前のクロック選択結果との平均によりクロックを決定し、3番目の変化点のときには $N=3$ としてそれまでのクロック選択結果の平均によりクロックを決定する。

【0066】また、最初の変化点では $N=1$ とし、2番目と3番目の変化点に対して $N=2$ としてクロックを決定し、4番目、5番目および6番目の変化点に対して $N=3$ によりクロックを決定することもできる。どちらの場合にも、徐々に確実なクロックを選択できる。

【0067】

【発明の効果】以上説明したように、本発明の位相同期クロック抽出回路は、クロック選択とクロック決定とを分離し、クロック決定結果を用いて位相同期クロックを

抽出する。これにより、入力信号より高速なクロックは不要であり、短いプリアンプ長でもクロックを抽出できる。本発明は、従来の多相選択法の長所をそのまま生かし、さらに、従来の多相選択法の欠点であった識別誤りの問題、すなわち安定性の問題を解決した。したがって、高速素子が不要なため経済的であり、短いプリアンプ長での伝送が可能のため伝送効率がよく、しかも識別誤りが生じにくい安定な伝送が可能となる効果がある。

【0068】本発明はポイント対マルチポイント光通信方式におけるポイント側装置の位相同期クロック抽出回路として特に有用であるが、他の通信方式、例えばTDM A衛星通信方式でも同様に利用できる。

【図面の簡単な説明】

【図1】本発明第一実施例の位相同期クロック抽出回路を示すブロック構成図。

【図2】具体例を示す図。

【図3】変化点検出回路の一例を示す回路図。

【図4】変化点検出回路の動作を示すタイムチャート。

【図5】多相クロック発生回路の一例を示す回路図。

【図6】多相クロック発生回路の入出力例を示す図。

【図7】多相クロック発生回路の出力する多相クロックとクロック選択との関係を示すタイムチャート。

【図8】クロック決定回路の別の例を示す回路図。

【図9】クロック決定回路のさらに別の例を示す回路図。

【図10】本発明の第二実施例を示す図であり、第一実施例と異なる部分を示すブロック構成図。

【図11】本発明の第三実施例を示すブロック構成図。

【図12】本発明の第四実施例を示すブロック構成図。

【図13】ポイント対マルチポイント通信方式の一例を示すブロック構成図。

【図14】バースト信号の一例を示す図。

【図15】バースト信号を拡大して示す図。

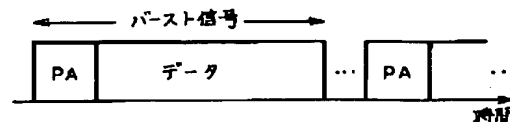
【符号の説明】

- 1 変化点検出回路
- 2 多相クロック発生回路
- 3 クロック選択回路
- 4 クロック決定回路
- 5 決定結果保持回路
- 6 セレクタ回路

【図14】

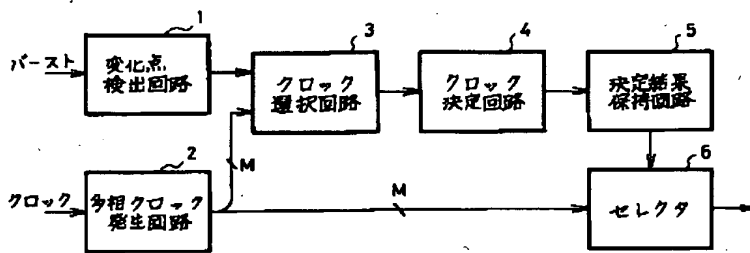


【図15】

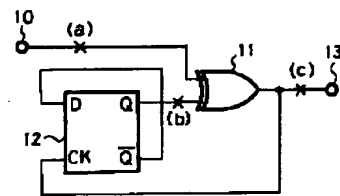




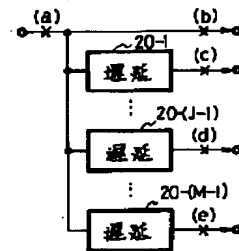
【図1】



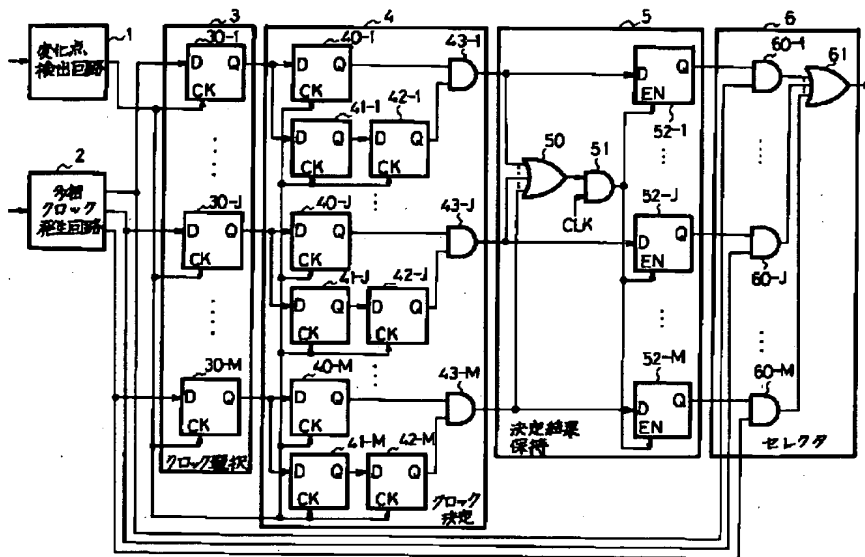
【図3】



【図5】

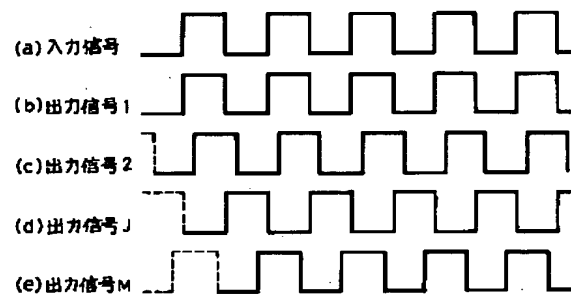
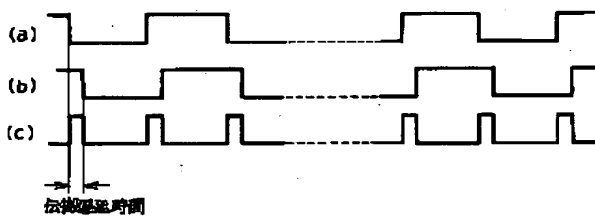


【図2】

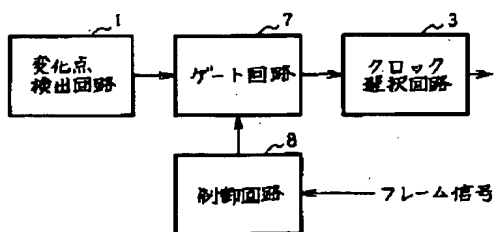


【図4】

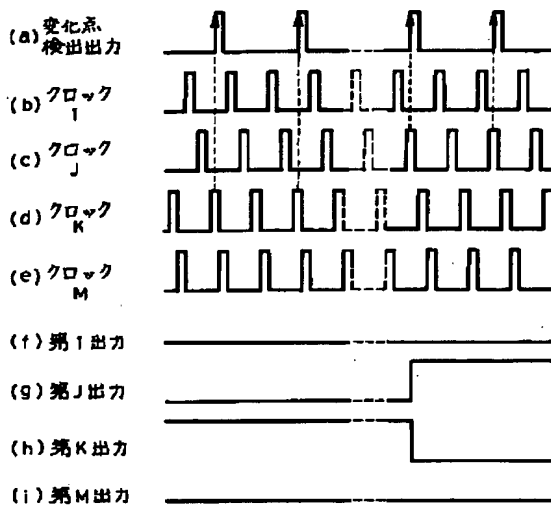
【図6】



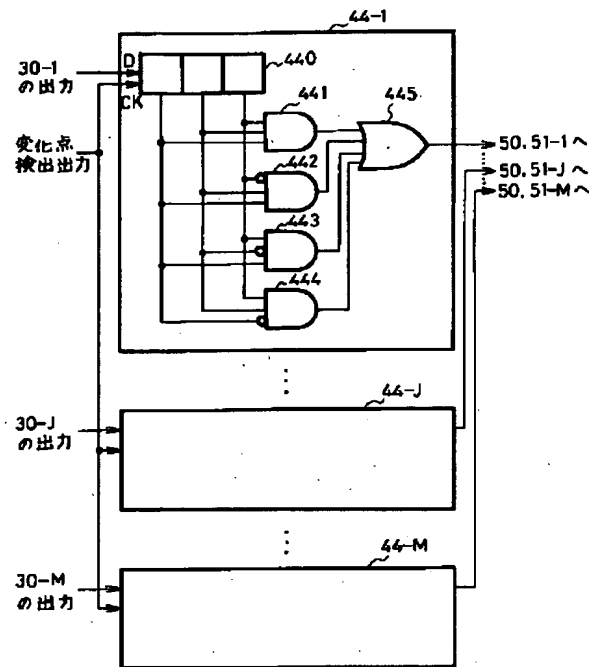
【図10】



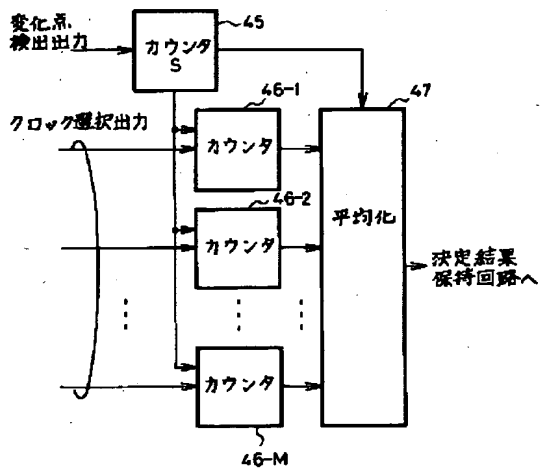
【図7】



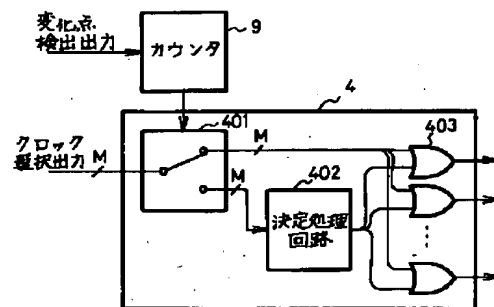
【図8】



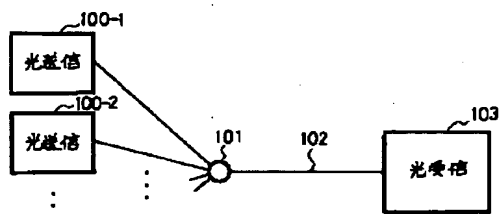
【図9】



【図11】



【図13】



【図12】

